



Original document

AVALANCHE PHOTODIODE

Publication number: JP6061521

Publication date: 1994-03-04

Inventor: KOBAYASHI MASAHIRO

Applicant: FUJITSU LTD

Classification:

- international: **H01L31/107; H01L31/102**; (IPC1-7): H01L31/107

- european:

Application number: JP19920210122 19920806

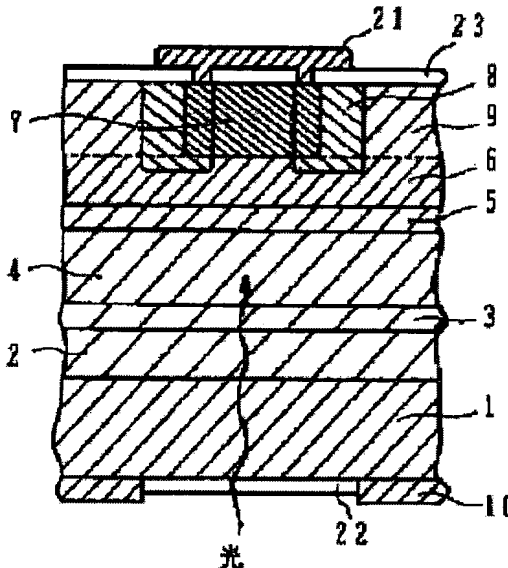
Priority number(s): JP19920210122 19920806

[View INPADOC patent family](#)

[Report a data error here](#)

Abstract of JP6061521

PURPOSE: To obtain a reach-through SAM type avalanche photodiode-(APD) which is composed of a back incidence type compound semiconductor avalanche photodiode for a specific wavelength band, is suitable for mass-production, and has a fast received-light modulating speed and a high gain. **CONSTITUTION:** The photodiode has a compound semiconductor structure in which an n<->-type InP buffer layer 2 having a thickness of $\geq 0.5 \mu\text{m}$ and carrier concentration of $\leq 5 \times 10^{15} \text{ cm}^{-3}$, transition layer 3 composed of n<->-InGaPAs, n<->-InGaAs light absorbing layer 4, n<->-type InP avalanche area 6, and p<+>-type InP layer 7 are successively formed on an n<+>-type InP substrate 1. At the time of using the photodiode, light is made to incident to the photodiode from the substrate 1 side in a state where the end of a depletion layer having a p-n junction is made to reach the inside of the layer 2 by applying a reverse bias voltage across the substrate 1 and layer 7.



Data supplied from the *esp@cenet* database - Worldwide



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-61521

(43) 公開日 平成6年(1994)3月4日

(51) Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 31/107

8422-4M

H 0 1 L 31/10

B

審査請求 未請求 請求項の数4(全7頁)

(21) 出願番号 特願平4-210122

(22) 出願日 平成4年(1992)8月6日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 小林 正宏

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 高橋 敬四郎

(54) 【発明の名称】 アバランシェホトダイオード

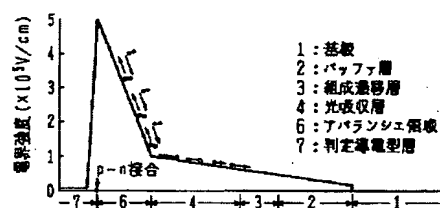
(57) 【要約】

【目的】 裏面光入射型の1.3～1.5μm帯用化合物半導体アバランシェホトダイオードに関し、量産性に適し、高い受信光変調速度と利得を有するリーチスルーSAM型APDを提供することを目的とする。

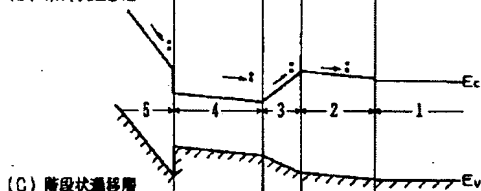
【構成】 n⁺型InP基板上に厚さ0.5μm以上、キャリア濃度 $5 \times 10^{15} \text{ cm}^{-3}$ 以下のn⁻型InPバッファ層、その上にn⁻型InGaPAs組成遷移層、その上にn⁻型InGaAs光吸収層、その上にn⁻型InPアバランシェ領域、その上にp⁺型InP層を積層した化合物半導体構造を有し、n⁺型InP基板およびp⁺型InP層間に逆方向バイアス電圧を印加して、p-n接合の空乏層端が前記バッファ層内部にまで達する状態で、前記基板側から光を入射させて用いる。

動作説明図

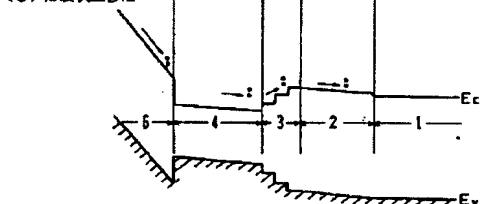
(A) 各領域の偏電界分布



(B) 傾斜状遷移層



(C) 階段状遷移層



【特許請求の範囲】

【請求項1】 n^+ 型 InP 基板 (1) 上に厚さ $0.5 \mu\text{m}$ 以上、キャリア濃度 $5 \times 10^{15} \text{cm}^{-3}$ 以下の n^- 型 InP バッファ層 (2)、その上に n^- 型 InGaPAs 組成遷移層 (3)、その上に n^- 型 InGaAs 光吸収層 (4)、その上に n^- 型 InP アバランシェ領域 (6)、その上に p^+ 型 InP 層 (7) を積層した化合物半導体構造を有し、 n^+ 型 InP 基板 (1) および p^+ 型 InP 層 (7) 間に逆方向バイアス電圧を印加して、 $p-n$ 接合の空乏層端が前記バッファ層 (2) 内部にまで達する状態で、前記基板 (1) 側から光を入射させて用いるアバランシェホトダイオード。

【請求項2】 前記組成遷移層 (3) が、InP と格子整合した滑らかな傾斜状バンドギャップ分布を有する如く組成変化するか、または階段状に傾斜するバンドギャップ分布を有する如く組成変化する四元混晶層からなる請求項1記載のアバランシェホトダイオード。

【請求項3】 p^+ 型 InP 基板 (11) 上に厚さ $0.5 \mu\text{m}$ 以上、キャリア濃度 $5 \times 10^{15} \text{cm}^{-3}$ 以下の p^- 型 InP または p^- 型 AlInAs バッファ層 (12)、その上に p^- 型 InGaPAs または p^- 型 AlGaInAs の組成遷移層 (13)、その上に p^- 型 InGaAs 光吸収層 (14)、その上に p^- 型 InGaAs / AlInAs 超格子層アバランシェ領域 (16)、その上に n^+ 型 InP 層 (17) を積層した化合物半導体構造を有し、 p^+ 型 InP 基板 (11) および n^+ 型 InP 層 (17) 間に逆方向バイアス電圧を印加して、 $p-n$ 接合の空乏層端が前記バッファ層 (12) 内部にまで達する状態で、前記基板 (11) 側から光を入射させて用いるアバランシェホトダイオード。

【請求項4】 前記光吸収層と前記基板との間に、前記バッファ層と前記組成遷移層に代えて少なくとも光吸収層側で組成が徐々に変化し、基板側でキャリア濃度が $5 \times 10^{15} \text{cm}^{-3}$ 以下であり、光吸収端波長が $1.3 \mu\text{m}$ 以下で InP に格子整合した半導体層を有する請求項1～3のいずれかに記載のアバランシェホトダイオード。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はアバランシェホトダイオードに関し、特に裏面光入射型の $1.3 \sim 1.5 \mu\text{m}$ 帯用化合物半導体アバランシェホトダイオードに関する。

【0002】 近年、光通信の高速化、長距離化、大容量化に対する需要が一層高まってきた。次世代の情報ネットワークには受信光変調速度 2.5Gbit/sec のシステムが計画されている。

【0003】 このシステムにおいて、受光回路側に要求される特性は -30dBm より小さな最小受信レベル (受信感度)、 60GHz 以上の帯域幅であり、しかも光ファイバとの結合が容易な機能的構造と量産化可能な素子構造が求められている。

【0004】

【従来の技術】 高感度の受光素子として、光電離したキャリアを増幅する機能を備えたアバランシェホトダイオード (APD) が知られている。

【0005】 図2に、APDを用いた受光回路の例を示す。図2 (A) はハイインピーダンス型受光回路を示し、図2 (B) はトランスインピーダンス型受光回路を示す。図2 (A) に示すハイインピーダンス型受光回路においては、APDと負荷抵抗 R_L が直列に接続され、相互接続点にオペアンプ等の増幅器 (プリアンプ) A_{mp} が接続されている。APDの寄生容量を C_d とすると、ハイインピーダンス型受光回路の時定数は $C_d \cdot R_L$ となる。

【0006】 図2 (B) のトランスインピーダンス型受光回路においては、APDの一方の電極にオペアンプ等の増幅器 A_{mp} が接続され、増幅器 A_{mp} の出力端と入力端の間にフィードバック抵抗 R_f が接続されている。トランスインピーダンス型受光回路の時定数は、 $C_d \cdot R_f$ となる。

【0007】 なお、 R_f はフィードバック抵抗 R_f を増幅器 A_{mp} のゲインで除算した数である。したがって、トランスインピーダンス型受光回路は、ハイインピーダンス型受光回路よりも時定数を低くできる利点がある。

【0008】 ハイインピーダンス型にしてもトランスインピーダンス型にしても、 R_L や R_f を大きく設計することにより、熱雑音の低減、すなわちプリアンプ入力換算雑音の改善ができる。一方、回路帯域は、少なくともビットレートの70%程度 (2.5Gb/s システムであれば、約 1.7GHz) に保持する必要がある。したがって、低容量なAPDが必要となる。

【0009】 APDの低雑音化は、光吸収領域と増幅領域を分離し (SAM型)、かつ光吸収領域でも電界加速を行なうリーチスルーSAM型APDの採用と、増倍領域でイオン化率の高いキャリアを注入するため、光吸収領域の導電型を適切に選択すること (該領域の少数キャリアが増倍領域へ注入される) 等によって達成される。トランスインピーダンス型の受光回路において、プリアンプの低雑音化は、帰還抵抗 R_f を大きくすると達成される。

【0010】 一方、広帯域化は、利得・周波数積を高めることで得られる。遮断周波数は応答速度、つまりCR時定数、走行時間および増倍時間で基本的に決まる。この場合、低雑音化のために R_f を大きくするので、CR時定数を小さくするには、 $(C_d + C_{FA})$ を極力小さくしなければならない。ここで C_{FA} はプリアンプの寄生容量である。

【0011】 走行時間、増倍時間の短縮は、上記リーチスルーSAM構造の採用と適切な光吸収層の導電型選択によって実用化水準まで達している。表面入射型とする

3

と、ボンディングパッドによる寄生容量が大きくなり、低容量化のためには、裏面入射型構造を採用することが不可欠である。裏面入射型とすると、表面電極で内部反射した光を再び光吸収層で吸収できるので、光吸収層は薄くても良い。しかし、単に光吸収層を薄くすると、p-n接合の接合容量が増大してしまう。

【0012】これを避けるためには、(1)、 n^+ 型InP基板上にn型InPバッファ層、 n^- 型InGaAs光吸収層、n型InP層を積層する構成とし、 n^- 型光吸収層の厚さを約 $2.5\mu\text{m}$ とする構造と、(2)、 n^+ 型InP基板上にn型InPバッファ層、 n^- 型InP低濃度層、 n^- 型InGaAs光吸収層、n型InP層を積層する構成とし、 n^- 型InP低濃度層と n^- 型InGaAs光吸収層の合計の厚さを約 $2.5\mu\text{m}$ とする構造が考えられる。

【0013】しかし、(1)の構造によれば、InGaAs光吸収層の基板側での光吸収により生成されたキャリアのうち、移動度の遅い正孔の走行時間による制限により遮断周波数 f_c は低くなる。

【0014】また、(2)の構造によれば、走行時間による制限は避けられるが、InGaAs光吸収層と n^- 型InP低濃度層との間のヘテロ接合により電子トラップが生じ、応答速度が遅くなる。

【0015】そこで、空乏層幅を $1.5\mu\text{m}$ 程度とし、接合容量の増大は接合面積の減少で防止し、接合面積の減少による光軸合わせの困難さを基板裏面をマイクロレンズ化することによって解決する構造が提案されている。

【0016】

【発明が解決しようとする課題】以上の工夫によってアバランシェホトダイオードの寄生容量 C_d は極力小さくできるが、基板のマイクロレンズ加工は工程上の問題があつて量産化には適さない。

【0017】本発明の目的は、量産性に適し、高い受信光変調速度と利得を有するリーチスルーSAM型APDを提供することである。

【0018】

【課題を解決するための手段】本発明のアバランシェホトダイオードは、 n^+ 型InP基板上に厚さ $0.5\mu\text{m}$ 以上、キャリア濃度 $5 \times 10^{15} \text{ cm}^{-3}$ 以下の n^- 型InPバッファ層、その上に n^- 型InGaPAs組成遷移層、その上に n^- 型InGaAs光吸収層、その上に n^- 型InPアバランシェ領域、その上に p^+ 型InP層を積層した化合物半導体構造を有し、 n^+ 型InP基板および p^+ 型InP層間に逆方向バイアス電圧を印加して、p-n接合の空乏層端が前記バッファ層内部にまで達する状態で、前記基板側から光を入射させて用いる。

【0019】特に、前記組成遷移層がInPと格子整合した滑らかな傾斜状バンドギャップ分布を有するように組成変化するか、または階段状に傾斜するバンドギャップ

4

分布を有するように組成変化する四元混晶からなることが望ましい。

【0020】また、本発明のアバランシェホトダイオードは、 p^+ 型InP基板上に厚さ $0.5\mu\text{m}$ 以上、キャリア濃度 $5 \times 10^{15} \text{ cm}^{-3}$ 以下の p^- 型InPまたは p^- 型AlInAsバッファ層、その上に p^- 型InGaPAsまたは p^- 型AlGaInAsの組成遷移層、その上に p^- 型InGaAs光吸収層、その上に p^- 型InGaAs/AlInAs超格子層アバランシェ領域、その上に n^+ 型InP層を積層した化合物半導体構造を有し、 p^+ 型InP基板および n^+ 型InP層の間に逆方向バイアス電圧を印加して、p-n接合の空乏層端が前記バッファ層内部にまで達する状態で、前記基板側から光を入射させて用いる。

【0021】

【作用】光入射面から光吸収層に達するまでの層は、入射光に対して透明であることが望ましい。したがって、光吸収層との間にヘテロ接合が形成され、バンド不連続が生じる。このバンド不連続が形成する電位障壁は、増倍された信号キャリアに対する障壁として作用する。

【0022】光透明層の不純物濃度が高ければ、電位障壁の幅は狭くなり、キャリアはトンネルで通過することもできるが、容量を減少させるために不純物濃度を低く設定すると、電位障壁によってキャリアの通過は阻害される。この現象を図3を用いて説明する。

【0023】光吸収層4は、入射光を吸収するために比較的狭いバンドギャップを有する。基板1およびバッファ層2は入射光を透過させるために広いバンドギャップを有する。バッファ層2と光吸収層4を直接ヘテロ接合させると、その間にバンド不連続 ΔE_c および ΔE_v が形成される。

【0024】アバランシェ領域6で増倍された電子は、電位勾配に従って光吸収層4に戻り、さらに基板1側に向かう時にバッファ層2の形成する電位障壁 ΔE_c によってその通過を阻害されてしまう。

【0025】光吸収層4とバッファ層2の間に組成遷移層を設けることにより、電位障壁は平滑化され、バイアス電界によって傾斜されるため、実質的に電位障壁を消滅させることができる。

【0026】なお、n型基板を用いる場合を説明したが、p型基板を用いる場合も導電型が逆転するだけで組成遷移層の役割は同様である。

【0027】

【実施例】図1は、本発明の実施例によるアバランシェホトダイオードの動作を説明するための図である。図1(A)は、APDの動作時におけるバイアス電界分布を示す。APDは、第1導電型の基板1の上に同導電型のバッファ層2、組成遷移層3、光吸収層4、アバランシェ領域6がこの順序で積層され、その上に反対導電型層7が配置された構造を有するとする。

【0028】p-n接合を挟むアバランシェ領域6の電界強度は 1×10^5 V/cm以上、ピーク値で $5 \sim 6 \times 10^5$ V/cmとなっている。一方、光吸収層4、組成遷移層3、バッファ層2の電界強度は 1×10^5 V/cm以下になるようにドーピング濃度および厚みの調整が行なわれており、これらの領域ではアバランシェ増倍は実質的に発生しない。

【0029】図1(B)は、組成遷移層3の組成変化が滑らかに傾斜している場合のAPD動作時の各領域エネルギーバンド構造を示す。アバランシェ領域がn型層である場合、アバランシェ増倍されて光吸収層4に注入された電子は、組成遷移層3の滑らかなバンド傾斜に助けられて効率よくバッファ層2に注入され、基板1を経て増倍信号として外部に取出される。この効果は、図1(C)に示した階段状組成変化をする組成遷移層3を用いた場合も、階段状組成変化量が余り大きくない場合、ほとんど変わらない。

【0030】ところが、組成遷移層3を用いない参考例においては、図3に示すように、バッファ層2と光吸収層4の界面に存在するヘテロ接合が注入電子に対して高

さ ΔE_c のバリアを形成する。

【0031】このため、一部の電子はこのバリアで円滑な通過を妨げられて遅い信号成分となる。すなわち、APDの高周波利得が低下する。アバランシェ領域がp型層である場合も基本的には同じ現象が生ずる。

【0032】本構成では、前記したように光吸収層4、組成遷移層3、バッファ層2にアバランシェ増倍が生じない範囲で注入キャリアが加速されるような電界を印加する。このため、キャリア走行速度が高まり、遮断周波数の向上につながる。

【0033】以下、具体的実施例に基づいてより詳しく述べる。図4は、本発明の実施例によるInP/InGaAs裏面光入射リチスルーSAM型APDの構成を示す横断面図の一部である。図において、1はn⁺型InP基板、2はn⁻型InPバッファ層、3はn⁻型In_xGa_{1-x}P_yAs_{1-y}組成遷移層、4はn⁻型In_{0.53}Ga_{0.47}As光吸収層、5はn型In_{0.74}Ga_{0.26}P_{0.4}As_{0.6}中間層、6はn⁻型InPアバランシェ領域、7はp⁺型InP層、8はガードリング、9はn⁻型InP層、10はn側電極、21はp側電極、22は反射防止膜、23は表面保護膜である。

【0034】このような積層構造型化合物半導体は、LPE法やMOCVD法、あるいはMBE法を用いた層状堆積、選択拡散等によって形成することができる。また、成長層表面側には電極接触ポートを除いて表面保護膜23が、また光入射する裏面には光入射ポートに反射防止膜22が形成されている。

【0035】アバランシェ増倍を抑えつつ、走行キャリアにドリフト効果を与えるために、n⁻型InPバッファ層2のキャリア濃度は約 10^{15} cm⁻³と、n型InP

アバランシェ領域6より約一桁低い値に設定されている。

【0036】両者の中間のn⁻型In_xGa_{1-x}P_yAs_{1-y}組成遷移層3、n⁻型In_{0.53}Ga_{0.47}As光吸収層4、およびn型In_{0.74}Ga_{0.26}P_{0.4}As_{0.6}中間層5のキャリア濃度は $1 \sim 5 \times 10^{15}$ cm⁻³の値に設定されており、図1(A)で示したように、これら領域に 1×10^5 V/cm以下の電界が形成される。

【0037】n型In_{0.74}Ga_{0.26}P_{0.4}As_{0.6}中間層5は、基本的にはなくても機能するが、光吸収層で生成した正孔がアバランシェ領域に注入される際のヘテロ障壁を緩和し、正孔の高速な移動を助けるためには重要である。

【0038】バッファ層2、組成遷移層3、光吸収層4、中間層5を含めた厚みは2 μm以上、このうち光吸収層4の厚みは約1.5 μmである。また、これらの層を通してキャリア濃度と厚みの積、いわゆるN・l積が 1.1×10^{12} cm⁻²以下であるように設計することが、上述の特性を得るために重要である。

【0039】n⁻型In_xGa_{1-x}P_yAs_{1-y}組成遷移層3は、いわゆるグレーデッドヘテロ領域を構成し、組成はバッファ層2に接する領域のx=y=1(InP)から光吸収層4に接する領域のx=0.53、y=0(In_{0.53}Ga_{0.47}As)までInPに格子整合するよう変化する。

【0040】この時、

$$y = (0.4x - 0.22) / (0.2 - 0.02x)$$
 の関係が成り立つ。

【0041】この結果、pn接合面積を小さくしなくても1.3~1.6 μm帯で最小受信レベルが-35 dBm以下(受信光変調速度2.5 Gb/s)の高感度を得ることができる。また、増幅率も50以上、量子効率80%以上、帯域幅60 GHz以上のAPDホトダイオードが得られる。

【0042】図5は、本発明の別の実施例であるAPDの構成断面図を示す。本実施例は、アバランシェ領域16がp⁻型(InGaAs/AlInAs)の超格子構造となっている。

【0043】図において、11はp⁺型InP基板、12はp⁻型Al_{0.47}In_{0.53}Asバッファ層、13はp⁻型Ga_{0.47}In_{0.53}AsからAl_{0.47}In_{0.53}Asへ、バンドギャップとしてはE_g=0.75 eVからE_g=1.5 eVへ変化する組成遷移層、14はp⁻型In_{0.53}Ga_{0.47}As光吸収層、16はp⁻型(InGaAs/AlInAs)超格子アバランシェ領域、17はn⁺型InP層、18はガードリング、19はp⁻型InP層、20はp側電極、21はn側電極、22は反射防止膜、23は表面保護膜である。

【0044】超格子アバランシェ層では、電子のイオン化率αが正孔のイオン化率βを大きく凌ぐので、低雑音

7

化のため、光吸収層14で発生したキャリアのうち、電子を注入する。したがって、前記実施例の場合とp、nの導電型が反転している。

【0045】また、本実施例では、前実施例の場合と異なり、光吸収層14とアバランシェ領域16の間に中間層は設けず、バッファ層12をInPよりバンドギャップの広いAlInAsで構成している。

【0046】この層は、光学的には入射光に対してウィンドウ効果を示せばよいので、必ずしもInPより広いバンドギャップを有する必要はない。すなわち、InPでもAlInAsでも同様の結果が得られる。

【0047】p⁻型(A_{1-x}Ga_{1-x})_{0.47}In_{0.53}As組成遷移層13は0.5μmの厚みを有し、0.1μmの厚さを単位として組成を階段状に変化させてある。このようにしても、滑らかに組成傾斜した場合と同様、正孔の通過障害となる電子障壁の形成を防止できる。組成遷移層をInGaPAsで形成することもできる。

【0048】なお、組成遷移層13を用いず、バッファ層12の上に光吸収層14を直接形成した場合は、正孔の移動がヘテロバリア層によって阻止されるため、高速応答性は大きく劣化する。

【0049】また、上述の実施例において、バッファ層と組成遷移層を合体させた構成とすることも可能である。たとえば、図2の構成において、バッファ層2と組成遷移層3の代わりに、基板1側から光吸収層4側に向かって組成がInPからInGaAsに徐々に変化するInGaAsP組成勾配層を用いてもよい。ただし、この組成勾配層はInP基板に格子整合させる。

【0050】また、この組成勾配層を光吸収層側ではInGaAsから徐々に組成が変化するようにし、基板側では一定のInGaAsP組成としてもよい。なお、組成勾配層全体で光吸収端波長は1.3μm以下とする。

【0051】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。たとえば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0052】

【発明の効果】以上説明したように、本発明によれば、p-n接合面積を小さくしなくても、光吸収層、組成遷

8

移層およびバッファ層のキャリア濃度、厚みの適切な選択によってAPD動作時に大きなキャリアドリフト効果がもたらされる。

【0053】さらに、組成遷移層の挿入によって、ドリフトキャリアのバリア層へのトラップが抑制されて高速走行性が保持され、利得が高まる。この結果、基板をマイクロレンズ加工する等の煩雑な工程を避けることができ、量産性の優れた高性能APDを得ることができる。

【図面の簡単な説明】

【図1】本発明の実施例の動作を説明するための図である。

【図2】APD受光回路の例を示す回路図である。

【図3】参考例によるAPD構造を示す断面図である。

【図4】実施例による裏面光入射リーチスルーSAM型APDの構成を示す断面図である。

【図5】別の実施例によるAPDの構成を示す断面図である。

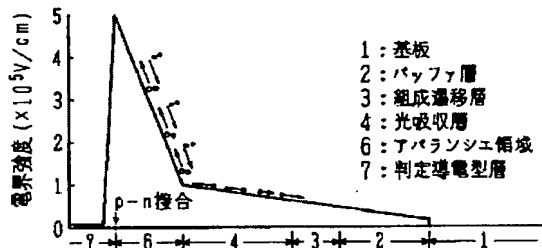
【符号の説明】

- 1 n⁺型InP基板
- 2 n⁻型InPバッファ層
- 3 n⁻型In_xGa_{1-x}P_yAs_{1-y}組成遷移層
- 4 n⁻型In_{0.53}Ga_{0.47}As光吸収層
- 5 n型In_{0.74}Ga_{0.26}P_{0.4}As_{0.6}中間層
- 6 n⁻型InPアバランシェ領域
- 7 p⁺型InP層
- 8、18 ガードリング
- 9 n⁻型InP層
- 10、20 基板側電極
- 11 p⁺型InP基板
- 12 p⁻型AlInAsバッファ層
- 13 p⁻型(A₁Ga)InAs組成遷移層
- 14 p⁻型InGaAs光吸収層
- 16 p⁻型(InGaAs/AlInAs)超格子アバランシェ領域
- 17 n⁺型InP層
- 19 p⁻型InP層
- 21 拡散層電極
- 22 反射防止膜
- 23 表面保護膜

【図1】

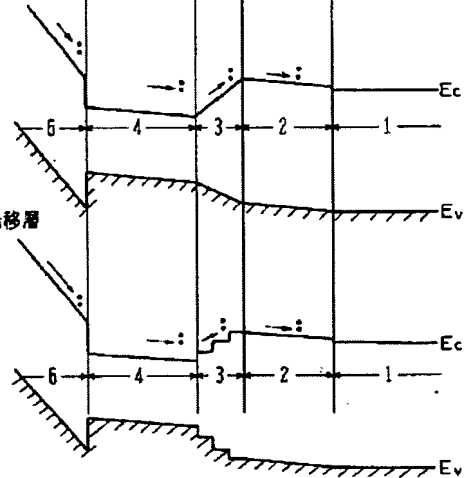
動作説明図

(A) 各領域の電位電界分布



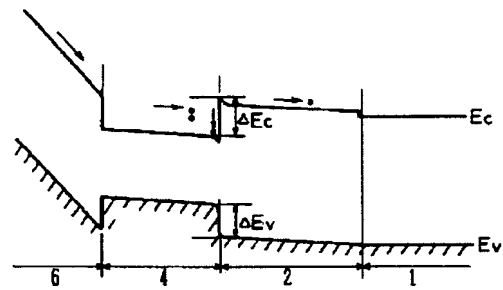
(B) 傾斜状遷移層

(C) 階段状遷移層



【図3】

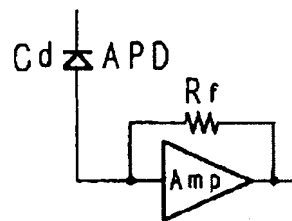
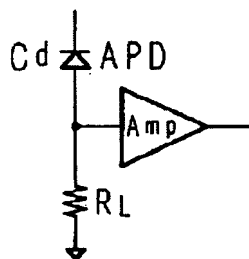
参考例 (遷移層なし)



【図2】

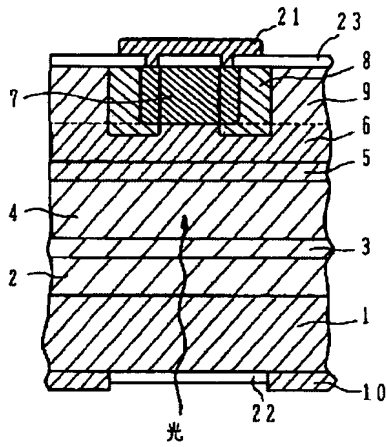
受光回路

(A) ハイインピーダンス型 (B) トランスインピーダンス型



【図4】

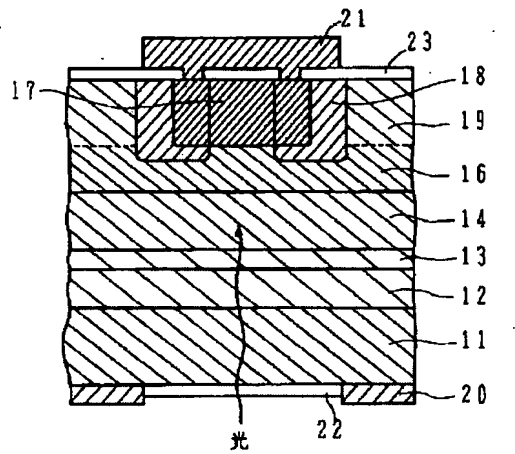
実施例



- 1: n^+ -InP基板
- 2: n^- -InPバッファ層
- 3: n^- - $\text{In}_x\text{Ga}_{1-x}\text{PyAs}_{1-y}$ 組成遷移層
- 4: n^- - $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 光吸収層
- 5: n^- - $\text{In}_{0.74}\text{Ga}_{0.26}\text{P}_{0.4}\text{As}_{0.6}$ 中間層
- 6: n^- -InPアバランシェ領域
- 7: p^+ -InP層
- 8: ガードリング
- 9: n^- -InP層
- 10: n側電極
- 21: p側電極
- 22: 反射防止膜
- 23: 表面保護膜

【図5】

別の実施例



- 11: p^+ -InP基板
- 12: p^- -AlInAsバッファ層
- 13: p^- -(AlGa)InAs組成遷移層
- 14: p^- -InGaAs光吸収層
- 16: p^- -(InGaAs/AlInAs)超格子アバランシェ領域
- 17: n^+ -InP層
- 18: ガードリング
- 19: p^- -InP層
- 20: p側電極
- 21: n側電極
- 22: 反射防止膜
- 23: 表面保護膜

THIS PAGE BLANK (USPTO)